



Optimierte Generierung von Konformitätstests für eingebettete Echtzeitsysteme

(Diplomarbeit, Betreuung: Prof. Sabine Glesner, Dr. Paula Herber)

Dipl.-Inform. Marcel Pockrandt
Technische Universität Berlin
Programmierung eingebetteter Systeme

3. Februar 2011

Motivation

SystemC

- Systembeschreibungssprache für HW und SW
- Modellierung auf verschiedenen Abstraktionsebenen
- Ausführbare Modelle
- Abstrakte Modelle verifizierbar

Problem:

Wie lässt sich sicherstellen, dass verfeinerte Modelle die verifizierten Eigenschaften der abstrakten Modelle erfüllen?

Ansatz

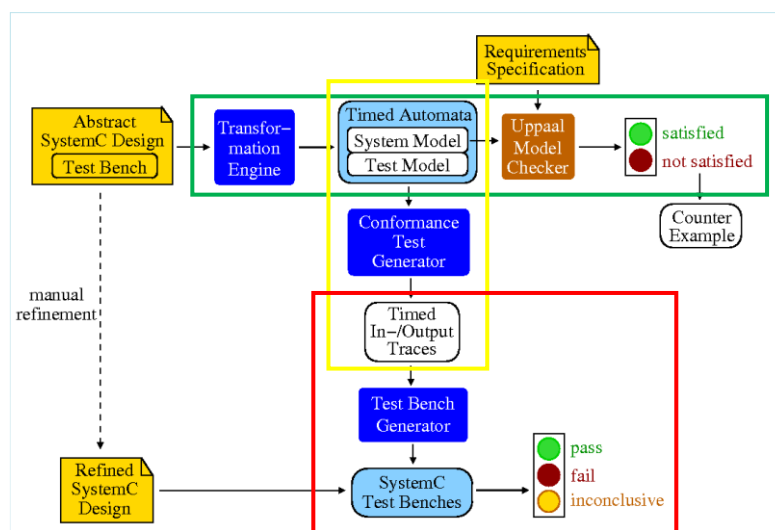
Lösungsansatz:

- Offline mögliches Verhalten des (nicht-deterministischen) abstrakten Modells bestimmen
- Generierung von SystemC-Testbenches für Konformitätstests der verfeinerten Modelle

Vorteile:

- Testen schneller als verifizieren...
- ... und auf allen Abstraktionsebenen möglich
- Testbenches ermöglichen automatische Konformitätsbewertung

VeriSTA



Grafik aus [PH2010]

Ziele der Diplomarbeit

- Generierung von Timed Traces auch für komplexere Modelle ermöglichen
- Generierung von SystemC Testbenches aus den Timed Traces ermöglichen
- Laufzeit von ATENA verbessern

Überblick

- Optimierungen
- Testbenchgenerierung
- Implementierung und Experimente
- Fazit

Überblick

- Optimierungen
- Testbenchgenerierung
- Implementierung und Experimente
- Fazit

Optimierungen

Problemstellung:

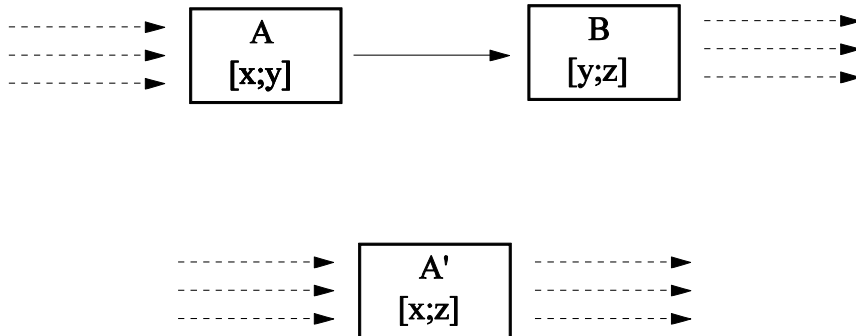
- Hoher Speicherverbrauch von ATENA bei der Zustandsberechnung
- Generierter Zustandsgraph enthält viele (von außen) nicht unterscheidbare Zustände

Ansätze:

- Verbesserung der Zustandsrepräsentation
- Zusammenfassen von Zuständen

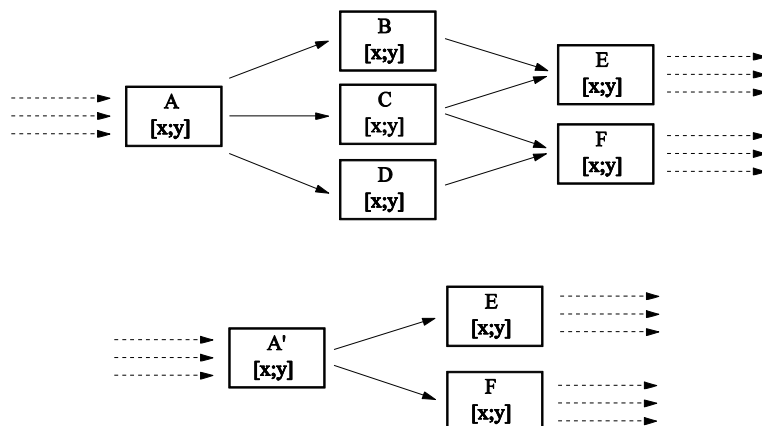
Linear Time Chain Reduction (LTCR)

Gleiche Variablenbelegung, überlappende Uhren
Lineare (unverzweigte) Zustandskette



Branch Reduction (BR)

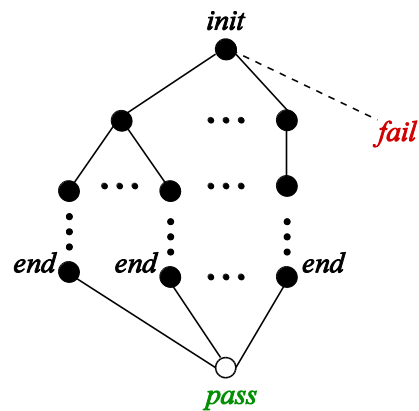
Gleiche Variablen- und Uhrenbelegung



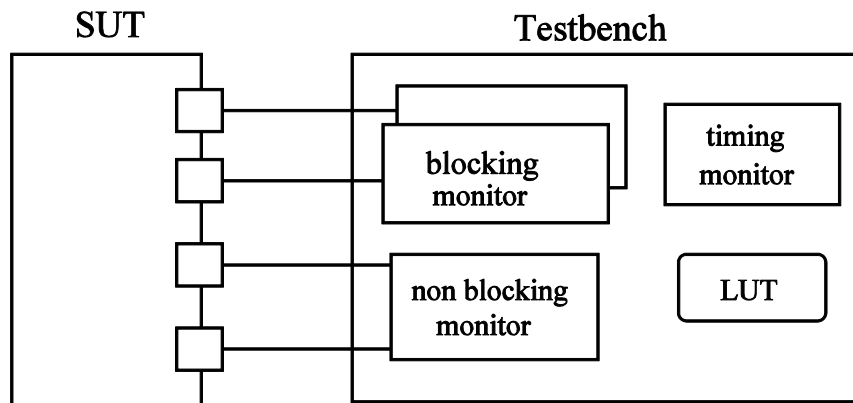
Überblick

- Optimierungen
- Testbenchgenerierung
- Implementierung und Experimente
- Fazit

Akzeptanzgraph



Aufbau der Testbench



Überblick

- Optimierungen
- Testbenchgenerierung
- Implementierung und Experimente
- Fazit

Implementierung

TBGeneSys – TestBenchGenerator for SystemC

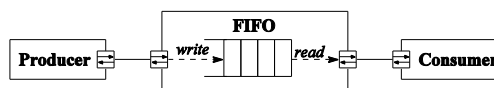
- Implementierung in Java 6, Entwicklung in Eclipse
- Generiert SystemC-Testbenches aus den Timed Traces von ATENA für das abstrakte Modell
- Führt Zustandsreduktion durch (LTCR und BR)
- < 2000 LOCs

Speicheroptimierungen und Bit-State Hashing in ATENA integriert

Modelle

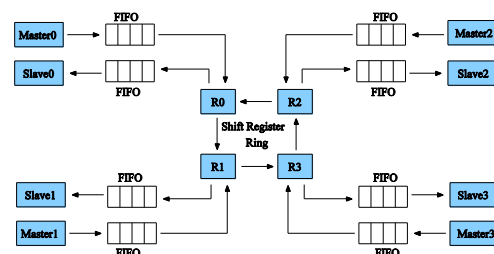
Producer/Consumer

- 130 LOC
- 2 Prozesse/1 Kanal



Packet-Switch

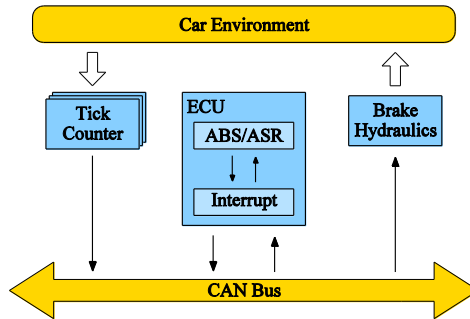
- Variable Größe
- 400 LOC
- 5-11 Prozesse
- 6-15 Kanäle



Modelle

ABS

- Verfeinertes Modell vorhanden
- 500/5000 LOC
- 18/28 Prozesse
- 12/25 Kanäle



Experimente

Ergebnisse für die Optimierungen in ATENA

Modell	Ausführungszeit (in s)		Speicherverbrauch (in MB)	
	Ohne Optimierung	Mit Optimierungen	Ohne Optimierung	Mit Optimierungen
ProdCons	4,90 s	5,07 s	5	5
P-Switch1m1s	25,11 s	9,49	58	5
P-Switch1m2s	34,27	13,90	98	5
P-Switch2m1s	42,38	20,72	160	5
P-Switch2m2s	54,77	27,43	275	13
P-Switch4m4s	-	443	-	302
ABS	-	10210	-	302

- = OutOfMemory-Exception

Experimente

Ergebnisse für die Optimierungen in ATENA

Testfall	Ergebnis für Modell		
	ProdCons	Packet-Switch	ABS
Abstraktes Modell	PASS	PASS	PASS
Korrekt verfeinertes Modell	-	-	PASS
Fehlende Zuweisung	PASS/FAIL	FAIL	FAIL
Geänderte Zuweisung	PASS/FAIL	FAIL	FAIL
Fehlende Bedingung	PASS/FAIL	FAIL	FAIL
Geänderte Bedingung	PASS/FAIL	FAIL	FAIL
Fehlendes Signal	FAIL	FAIL	FAIL
Zusätzliches Signal	FAIL	FAIL	FAIL
Verzögertes Signal	FAIL	FAIL	FAIL

Überblick

- Optimierungen
- Testbenchgenerierung
- Implementierung und Experimente
- Fazit

Fazit

- Optimierungen sorgen für eine erhebliche Reduzierung der Speicherlast und der Laufzeit
- ATENA kann Modelle mit mehreren Millionen Zuständen verarbeiten
- Testbenches erkennen vollautomatisch nicht-konforme Modelle
- Generierte Testbenches sind übersichtlich und leicht verständlich

Ausblick

- Überdeckungsgesteuerte Testfallgenerierung für SystemC
- Erweiterung von VeriSTA
 - komplexe Datentypen (structs, arrays etc)
 - Zufallszahlen
 - für TLM

Referenzen

- [PH2010] Paula Herber. *A Framework for Automated HW/SW Co-Verification of SystemC Designs using Timed Automata*. Dissertation, 2010.
- [HMG2010] Paula Herber, Marcel Pockrandt, Sabine Glesner. *Automated Conformance Evaluation of SystemC Designs using Timed Automata*. *IEEE European Test Symposium*. IEEE Computer Society, 188 – 193, 2010.